

Docket No.: 67162-015

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Hidemoto TOMITA :
Serial No.: : Group Art Unit:
Filed: July 09, 2003 : Examiner:
For: SEMICONDUCTOR MEMORY DEVICE :

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-007945, filed January 16, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prg
Facsimile: (202) 756-8087
Date: July 9, 2003

日本国特許庁

JAPAN PATENT OFFICE

Tomita

July 9, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2003年 1月16日

出願番号

Application Number:

特願2003-007945

[ST.10/C]:

[JP2003-007945]

出願人

Applicant(s):

三菱電機株式会社

2003年 2月14日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3007107

【書類名】 特許願
【整理番号】 542366JP01
【提出日】 平成15年 1月16日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/8244
H01L 27/11

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 富田 英幹

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葵

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100113170

【弁理士】

【氏名又は名称】 稲葉 和久

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【ブルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 6つのトランジスタを備えたメモリセルが半導体基板上に2次元配列されたメモリセルアレーと、

2次元配置された前記各メモリセルに接続され、第1方向に沿って互いに平行に配置された複数のワード線と、

前記各メモリセルに接続され、前記第1方向と直交する第2方向に沿って互いに平行に配置された複数のビット線と
を備え、

一つのメモリセルの前記各トランジスタに接続されている全てのゲート電極配線は、前記第1方向に平行な同一の直線上に配列されていることを特徴とする半導体記憶装置。

【請求項 2】 前記2次元配列された複数のメモリセルにおいて、前記第1方向について互いに隣接する2つのメモリセルの全てのゲート電極配線は、実質的に同一の直線上に配置されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項 3】 前記ゲート電極配線は、直線状の側辺を有する長方形状であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項 4】 前記半導体記憶装置は、前記半導体基板上に積層されて構成された積層構造を有し、各メモリセルのグランドとなるグランド面が前記積層構造の最表面に形成されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項 5】 前記6つのトランジスタは、第1組及び第2組のドライバトランジスタ、ロードトランジスタ及びアクセストランジスタからなり、

前記ゲート電極配線は、

前記第1及び第2組の前記ドライバトランジスタと前記ロードトランジスタとを接続する第1及び第2ゲート電極配線と、

前記第1及び第2組の前記アクセストランジスタと接続された第3及び第4

ゲート電極配線と
を備えることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 6】 前記第 1 ゲート電極配線と、第 2 組の前記ドライバトランジスタと前記ロードトランジスタとを接続する第 1 コネクタと、
前記第 2 ゲート電極配線と前記ワード線とを接続する第 2 コネクタと
をさらに備えたことを特徴とする請求項 5 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置、特に S R A M に関する。

【0002】

【従来の技術】

S R A M は、電源が入った状態ではリフレッシュ動作が不要であり、使いやすいが、一つのメモリセルを構成する素子数が多く占有面積が大きくなってしまうので、セル面積の縮小化が求められている。従来の S R A M では、一つのセルがビット線方向よりワード線方向に長く構成されたセルレイアウト例が示されている（例えば、特許文献 1 及び 2 参照。）。このようにビット線方向の長さを短くすることによって高速化を図ると共に、セル面積の縮小化が行われている。

【0003】

また、微細化の点では、露光装置において光の干渉によって、ウエハ上のレジストパターンが歪む現象（光近接効果）が顕著となる。さらに、エッチング過程においてもマイクロローディング効果によるエッチング後のパターン歪みが発生している。なお、このマイクロローディング効果とは、粗密差の大きいパターンをマッチングしていくと、深さ方向に対してエッチングレートが下がっていく現象である。近年、これらのパターン歪みを最小化するために、フォトリソグラフィ過程でのマスクパターンをあらかじめ C A D 技術で自動補正しておく光近接効果補正（O P C）の技術が開発され、利用されている。

【0004】

【特許文献 1】

特開平9-270468号公報（米国特許第5744844号）

【特許文献2】

特開平10-178110号公報（米国特許第5930163号）

【0005】

【発明が解決しようとする課題】

S R A Mでは、各メモリセルからビット線を介してデータを高速に取り出す必要がある。データは、各メモリセルから、ビット線、I/O線、センスアンプ、リードデータバス及び出力バッファを介して出力される。このとき、メモリセルからビット線に取り出された信号レベルが0.1Vの場合、ビット線を経由してI/O線に到達した際の信号レベルは約0.05V程度と非常に小さくなる。このため、ノイズの影響を受けやすくなり、また、約1.8V程度のVddレベルにまで振幅させるために高精度のセンスアンプが必要となる。

【0006】

そこで、本発明の目的は、半導体記憶装置、特に、S R A Mのビット線での信号レベルの低下を抑制することである。

【0007】

【課題を解決するための手段】

本発明に係る半導体記憶装置は、6つのトランジスタを備えたメモリセルが半導体基板上に2次元配列されたメモリセルアレーと、

2次元配置された前記各メモリセルに接続され、第1方向に沿って互いに平行に配置された複数のワード線と、

前記各メモリセルに接続され、前記第1方向と直交する第2方向に沿って互いに平行に配置された複数のビット線と
を備え、

一つのメモリセルの前記各トランジスタに接続されている全てのゲート電極配線は、前記第1方向に平行な同一の直線上に配列されていることを特徴とする。

【0008】

【発明の実施の形態】

本発明の実施の形態に係る半導体記憶装置及びその製造方法について、添付図

面を用いて以下に説明する。なお、図面では実質的に同一の部材には同一符号を付している。

【0009】

実施の形態1.

本発明の実施の形態1に係る半導体記憶装置及びその製造方法について、図1から図11を用いて説明する。まず、半導体記憶装置のゲート電極配線の配列について、図1及び図2を用いて説明する。図1は、一つのメモリセルについて、6つのトランジスタに接続されたゲート電極配線とローカルインタコネクタの投影的な配置を示す平面図である。図2は、この半導体記憶装置の等価回路図である。

【0010】

この半導体記憶装置は、6つのトランジスタを備えたメモリセルが2次元配列されたメモリセルアレーを備える。一つのメモリセルは、2組のドライバトランジスタ11a、11b、ロードトランジスタ12a、12b、アクセストランジスタ13a、13bを備える。この半導体記憶装置の具体例としては、一つのメモリセルに6つのトランジスタを有するタイプのSRAMがある。一つのメモリセル10におけるゲート電極配線について説明する。このメモリセル10では、2種類のゲート電極配線を有している。即ち、ドライバトランジスタ11a、11bとロードトランジスタ12a、12bとを接続する第1ゲート電極配線3a、第2ゲート電極配線3bと、アクセストランジスタ13a、13bとワード線WLとを接続している第3ゲート電極配線3c、第4ゲート電極配線3dとがある。この第1ゲート電極配線3a、第2ゲート電極配線3b、第3ゲート電極配線3c及び第4ゲート電極配線3dは、いずれもワード線WL（点線で示した。）の長手方向に平行な同一の直線上に配列されている。これにより、一つのメモリセルの配置として、ワード線WLに垂直な方向のビット線方向の長さを短縮できる。そこで、ビット線の配線容量と配線抵抗を抑制できるため、読み出し・書き込み時の高速化を実現できる。特に、データの読み出しが、各メモリセルから、ビット線、I/O線、センスアンプ、リードデータバス及び出力バッファを介してデータが出力される。このとき、ビット線の長さを短くできるので、メモリ

セルからビット線に取り出された信号レベルに対して、ビット線を経由して I/O 線に到達した際の信号レベルの低下を抑制できる。そこで、メモリセルからの出力を大幅に増大させることができ、センスアンプ系の回路構成を高速化に対応させることができる。

【0011】

また、各ゲート電極配線 3 a、3 b、3 c、3 d は、ノッチ部や突起部のない直線状の側辺を有する長方形形状である。これによって、精度良くゲート電極配線 3 a、3 b、3 c、3 d を形成できるので、各トランジスタの特性を安定化させることができる。そこで、半導体記憶装置として、安定した特性を得ることができる。また、メモリセル内の全てのゲート電極配線を直線上に配列したため、無駄な面積を減らすことができる。さらに、セル平面内のコンタクトホール、ビアホールを減らすことができ、セル面積を縮小できる。なお、ワード線の長手方向を第 1 方向とする。また、この第 1 方向に直交する方向を第 2 方向とする。

【0012】

さらに、この半導体記憶装置では、米国特許第 5541427 号に記載されているローカル・インタ・コネクタ (LIC) を用いて各ゲート電極配線とのコンタクトをとっている。即ち、各ゲート電極配線とのコンタクトは、ゲート電極配線上に直接形成したビアホールを介してコンタクトをとるのではなく、タングステン・ダマシンによって形成されたローカル・インタ・コネクタ (LIC) によってコンタクトをとっている。このように LIC を利用することによって、各ゲート電極配線形成にあたってコンタクト用のカバーマージンを設ける必要がなく、ノッチ部や突起部のない直線状の側辺を有する長方形形状のゲート電極配線をレイアウトすることができる。また、第 1 ゲート電極配線 3 a、第 2 ゲート電極配線 3 b、第 3 ゲート電極配線 3 c 及び第 4 ゲート電極配線 3 d を同一の直線上にレイアウトしているので、フォトリソグラフィによってゲート電極配線を形成する工程において、干渉によるパターン歪みを抑制することができる。そこで、フォトリソグラフィにおける光近接効果を抑制することができる。これによって、ゲート電極配線を微細化することができる。また、光近接効果補正 (OPC) のためにゲート電極配線の形状を変形させる必要がなくなる。そこで、転写マージ

ンをとる必要がなくなるので、歩留を向上させることができる。また、規則的なレイアウトパターンを用いることで超解像技術を利用して高精度に転写することができる。

【0013】

なお、一つのメモリセル10の平面形状は、ワード線WLの長手方向がビット線BITの長手方向よりも非常に長い横長形状を有する。なお、SRAMは、DRAM、フラッシュメモリと比較してセル内のコンタクトが多く、このコンタクトをボーダーレスに設けることができるかどうかによってセル面積は大きく異なる。上記の半導体記憶装置では、LICを用いることによってセル面積を大幅に縮小している。例えば、LICが分離領域にあっても分離酸化膜を削らないでコンタクトをとることができます。

【0014】

さらに、この半導体記憶装置の半導体基板1の面に垂直方向の各層ごとの構成について、図3から図6を用いて説明する。このうち、図3から図5は、それぞれ図1のA-A'線、B-B'線及びC-C'線に沿った断面図である。図6は、この半導体記憶装置の最表面を示す平面図である。

(a) まず、この半導体記憶装置の半導体基板1には、図3のワード線の長手方向(第1方向)に沿った断面図に示すように、Pウエル領域、Nウエル領域、Pウエル領域が第1方向に沿って順に形成されている。さらに、アクセストランジスタ13、ロードトランジスタ12、ドライバトランジスタ11が、素子分離酸化膜(STI)で互いに分離されて形成されている。

(b) この半導体基板1上に、ドライバトランジスタ11とロードトランジスタ12とを接続するポリシリコンからなる第1ゲート電極配線3a、第2ゲート電極配線3bは第1方向に平行な同一の直線上に延在している。また、ポリシリコンからなる第3ゲート電極配線3c、第4ゲート電極配線3dは、アクセストランジスタ13上に上記第1及び第2ゲート電極配線3a、3bと同一の直線上に延在している。

(c) この第1ゲート電極配線3a、第2ゲート電極配線3bは、図5に示すように、その上に堆積させた層間絶縁膜6aに設けられたローカル・インタ・コネ

クタ用溝に、ダマシンプロセスによって埋め込まれたタンゲステンからなる第1及び第2ローカル・インタ・コネクタ5a、5bによってコンタクトをとっている。

(d) さらに、図4に示すように、LIC5k、5lはスタックビアホールによって第1金属配線層8に接続されている。

(e) また、図5に示すように、ゲート電極配線3a、3bとLIC5a、5bとのそれぞれの接続において、マスクずれが起きた場合にもサイドウォール幅分の「ずれ」までを許容できる。

なお、メモリセル内のインバータのクロスカップル配線は、LICを用いて配線され、ワード線WLは第1金属配線、ビット線BITは第2金属配線、VDD線は第2金属配線で形成されている。また、GNDは第3金属配線で形成されている。

【0015】

また、各ゲート電極配線3a、3b、3c、3dの長さ、幅等を実質的に同一にし、各ゲート電極配線間の間隔を同一にしてもよい。これによって、層間を埋め込む間隔は一様になる。この場合には、層間絶縁膜として、たれ性の良いBPSG膜だけでなく、NSG膜、PSG膜等の比較的たれ性の良くない材料を利用することができる。これによって材料選択の自由度が得られ、コストを低減できる。さらに、CMPの加工難度、設定する誘電率、ボイド発生の難易、ソフトエラー等の条件に応じて層間絶縁膜の材料を選択できる。

【0016】

さらに、この半導体記憶装置の最表面にはメモリセルアレイのグランドGNDとなるグランド面15が形成されている。最表面にグランド面15を設けたことにより、膜厚を厚くすることができ、しかも広い面積をとることができるので、低い抵抗の配線で接地でき、グランド電位が安定する。その結果、書き込み、読み出しを頻繁に行う厳しいシーケンスに対してもGNDの浮きやノイズに強くなり、アクセスタイムが向上する。

【0017】

次に、この半導体記憶装置の製造方法について、図7から図10を用いて説明

する。この半導体記憶装置は、以下の工程によって作製される。

- (1) 半導体基板 1 を準備する。
- (2) 半導体基板 1 の所定箇所に素子分離用酸化膜（S T I : Shallow Trench Isolation）2 を形成する。
- (3) 所定箇所にイオン注入して、ウエル領域を形成する。この場合、図 7 に示すように、半導体基板 1 上に P ウエル領域、N ウエル領域、P ウエル領域を順に配列するように各ウエル領域を順に形成する。なお、この配列方向を第 1 方向とする。この第 1 方向は、メモリセル 1 0 の長辺方向になる。
- (4) ゲート酸化膜を堆積させた後、ゲート電極配線となるポリシリコン配線層 3 を堆積させる。
- (5) 次いでイオン注入してトランジスタ 1 1、1 2、1 3 を作成する。

【0018】

(6) その後、ポリシリコン配線層をパターニングして、第 1 ゲート電極配線 3 a、第 2 ゲート電極配線 3 b、第 3 ゲート電極配線 3 c、及び第 4 ゲート電極配線 3 d を形成する（図 7）。ここで、第 1 ゲート電極配線 3 a と第 2 ゲート電極配線 3 b とは、ドライバトランジスタ 1 1 a、1 1 b とロードトランジスタ 1 2 a、1 2 b とをそれぞれ接続し、第 1 方向に沿って直線状に配置されている。また、第 3 ゲート電極配線 3 c と第 4 ゲート電極配線 3 d とは、アクセストランジスタ 1 3 a、1 3 b に接続され、第 1 方向に沿って直線状に配置されている。それぞれのゲート電極配線 3 はノッチ部や突起部のない直線状の側辺を有する長方形形状であり、規則正しく配置されている。このためパターニングにおいて、微細化の精度を向上させることができる。また、この 4 つのゲート電極配線 3 a、3 b、3 c、3 d は、図 7 に示すように、全てほぼ同一の直線上に配列されている。このため一つのメモリセルにおけるビット線方向の長さを短くすることができる。さらに、ゲート電極配線をメタル配線のように直線的にレイアウトできるので、各トランジスタの間の間隔比に伴う電気的特性上の問題が生じた場合にもレイアウトチェンジすることで特性改善を行うことができる。

【0019】

- (7) サイドウォール 4 を形成する。

- (8) イオン注入により、ソースS及びドレインDを形成する。
- (9) CoSi_2 層を形成する。
- (10) エッチングストップ膜を堆積させる。
- (11) 平坦化絶縁膜6aを堆積させる。
- (12) ローカル・インタ・コネクタLIC (Local Inter Connect) 用マスクで平坦化絶縁膜6aをエッチングする。このとき、エッチングをエッチングストップで止める。
- (13) 平坦化絶縁膜6aをエッチングして露出させたエッチングストップ膜を除去し、LIC用溝とする。
- (14) LIC用溝にタンゲステン(W)を堆積させ、次いで、平坦化し、溝内にのみタンゲステンを残し(Wダマシン法)、タンゲステンLIC5a、5b、5i、5j、5k、5lを形成する。このLIC5a、5b、5i、5jを介してゲート電極配線とのコンタクトをとることができる。そこで、コンタクト用のマージンを設けるためにゲート電極配線の形状を変形させる必要がない。なお、LIC5a、5bは、配線のみを形成するシングルダマシン法を用いて形成することができる。

【0020】

- (15) 平坦化絶縁膜6bを堆積させる。
- (16) スタックビアホール7用の孔を開ける。
- (17) タンゲステンLIC5部分とスタックビアホール7以外のタンゲステンを除去する(図8)。これによってLIC5i、5jを介してワード線WLへの接続用のスタックビアホール7を形成することができる。

【0021】

- (18) 全面に第1金属層8を堆積させる。
- (19) 第1金属配線用マスクによって所定箇所以外の第1金属層8を除去する。これによって、図10に示すように、第1金属配線8からなるワード線WLを形成することができる。
- (20) 層間絶縁膜6cを堆積させる。
- (21) 第1ビアホール14の孔を開ける。

(22) 第1ビアホール14内にタングステンを埋め込み、それ以外のタングステンをエッチングして除去する(図9)。これにより、第1金属配線8からさらに上層への電気的接続を形成することができる。

【0022】

(23) 第2金属層9を堆積させ、所定箇所以外の第2金属層9を除去する。これにより、第2金属配線9からなるビット線、VDD線を形成することができる。

(24) 層間絶縁膜6dを堆積させる。

(25) 第2ビアホール16の孔をエッチングで開ける。

(26) 第2ビアホール16内にタングステンWを埋め込み、それ以外のタングステンをエッチングで除去する。

(27) 第3金属配線層15を堆積させ、所定箇所以外の第3金属配線層15を除去する(図10)。なお、この第3金属配線層15はメモリセルアレイ全体のグランドGNDとして機能する。積層構造の最表面にグランド面を設けたのでメモリセルとほぼ同等の面積のグランド面を実現できる。また、厚い膜厚にでき、広い面積を有するので、グランド電位が安定する。

【0023】

以上の工程によって、上記半導体記憶装置を得ることができる。この半導体記憶装置の製造方法では、一つのメモリセルにおけるゲート電極配線をほぼ同一直線上に配列でき、ビット線方向の長さを短くできる。これによってビット線でのデータの信号レベルの劣化を抑制できる。

【0024】

また、この半導体記憶装置の製造方法によって、一つのメモリセルにおいて、ワード線に平行な同一の直線上に配列されたゲート電極配線3a、3b、3c、3dを備えた半導体記憶装置が得られる。これにより、ワード線に垂直なビット線の長さを短縮でき、ビット線での信号レベル低下を抑制できる。また、ノッチ部や突起部のない直線状の側辺を有する長方形状のゲート電極配線3を備えた半導体記憶装置を作製することができる。これによって、この半導体記憶装置を構成するドライバトランジスタ11、ロードトランジスタ12、アクセストランジ

スタ 1 3 等のトランジスタ特性を安定化及び均一化させることができる。そこで、半導体記憶装置としての安定した特性を得ることができる。

【0025】

実施の形態2.

本発明の実施の形態2に係る半導体記憶装置について、図11を用いて説明する。図11は、2つのメモリセル10a、10bのゲート電極配線の配列を示す平面図である。この半導体記憶装置は、ワード線の長手方向について互いに隣接する2つのメモリセル10a、10bの各トランジスタに接続されている全てのゲート電極配線3a、3b、3c、3d、3e、3f、3g、3hが同一の直線上に配列されている。これによって、メモリセルアレイ全体としてビット線長さを短縮できると共に、ワード線をメモリセルごとに蛇行させることなく直線で接続して構成できる。そこで、ビット線での信号レベル低下を抑制できるとともにワード線の配列を簡易にできる。また、ゲート電極配線は直線状の側辺で構成された直方体形状を有する。そこで、ゲート電極配線のレイアウトを容易に行うことができ、さらに微細化できる。

【0026】

なお、この場合には各メモリセル10a、10bがそれぞれ繰り返し単位であり、同一のゲート電極配線3の構成を有する。ただし、ワード線の長手方向について互いに隣接する2つのメモリセルの全てのゲート電極配線が同一の直線上に配列されていればよく、各メモリセルと全体としての繰り返し単位とは必ずしも一致しなくてもよい。例えば、2つのメモリセル10a、10bが繰り返し単位であってもよい。この場合、メモリセル10aとメモリセル10bとは境界線について線対称であってもよい。さらに、2以上のメモリセルで繰り返し単位を構成してもよい。

【0027】

実施の形態3.

本発明の実施の形態3に係る半導体記憶装置について、図12及び図13を用いて説明する。図12は、4つのメモリセル10a、10b、10c、10dのゲート電極配線の配列を示す平面図である。図13は、各メモリセルの対称性を

考慮した別の例のゲート電極配線の配列を示す平面図である。第1の例の半導体記憶装置は、図12の平面図に示すように、一つのメモリセルが繰り返し単位としてメモリセルアレイが構成されている。この場合には、4つのメモリセル10a、10b、10c、10dのゲート電極配線は同一の構成を有する。

【0028】

第2の例の半導体記憶装置は、図13の平面図に示すように、4つのメモリセルが一つの繰返しユニットとして構成されている。即ち、メモリセル10aとメモリセル10bとは、ゲート配線の構成について互いに鏡面対称性を有している。また、メモリセル10aとメモリセル10cとも互いに鏡面対称性を有している。従って、メモリセル10aとメモリセル10dとは同一のゲート配線の構成を有し、メモリセル10bとメモリセル10cとは同一のゲート配線の構成を有する。この場合、図13に示すように、それぞれのメモリセル間で個別にコンタクトを設ける必要がなく、共通化できるので、コンタクト配線の余裕度が増す。なお、繰返しユニットは上記の場合に限定されず、ゲート配線の構成を適宜選択して複数のメモリセルを含む繰返しユニットを構成してもよい。

【0029】

【発明の効果】

本発明に係る半導体記憶装置によれば、一つのメモリセル内の全てのゲート電極配線は、いずれもワード線の長手方向に平行な同一の直線上に配列されている。これにより、一つのメモリセルの配置として、ワード線に垂直な方向のピット線方向の長さを短縮できる。そこで、ピット線の配線容量と配線抵抗を抑制できるため、読み出し・書き込み時の高速化を実現できる。特に読み出しに関して、メモリセル電流を大幅に増大させることができ、センスアンプ系の回路構成を高速化に対応させることができる。さらに、ピット線での信号レベル低下を抑制できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体記憶装置のゲート電極配線を中心とした構成を示す平面図である。

【図2】 本発明の実施の形態1に係る半導体記憶装置の1つのメモリセル

に相当する等価回路を示す回路図である。

【図3】 図1のA-A'線に沿った断面図である。

【図4】 図1のB-B'線に沿った断面図である。

【図5】 図1のC-C'線に沿った断面図である。

【図6】 本発明の実施の形態1に係る半導体記憶装置のメモリセルの最表面に形成されたグランド面を示す平面図である。

【図7】 本発明の実施の形態1に係る半導体記憶装置の製造方法において、ゲート電極配線を形成する工程を示す平面図である。

【図8】 本発明の実施の形態1に係る半導体記憶装置の製造方法において、形成したLICに、接続用のスタックビアホールを形成する工程を示す平面図である。

【図9】 本発明の実施の形態1に係る半導体記憶装置の製造方法において、第1ビアホールにタングステンを埋め込み、それ以外のタングステンをエッチングで除去する工程を示す平面図である。

【図10】 本発明の実施の形態1に係る半導体記憶装置の製造方法において、第3金属層を堆積させ、エッチングする工程を示す平面図である。

【図11】 本発明の実施の形態2に係る半導体記憶装置の2つのメモリセルのゲート電極配線の配列を示す平面図である。

【図12】 本発明の実施の形態2に係る半導体記憶装置の第1の例における4つのメモリセルのゲート電極配線の配列を示す平面図である。

【図13】 本発明の実施の形態3に係る半導体記憶装置の第2の例における4つのメモリセルのゲート電極配線の配列を示す平面図である。

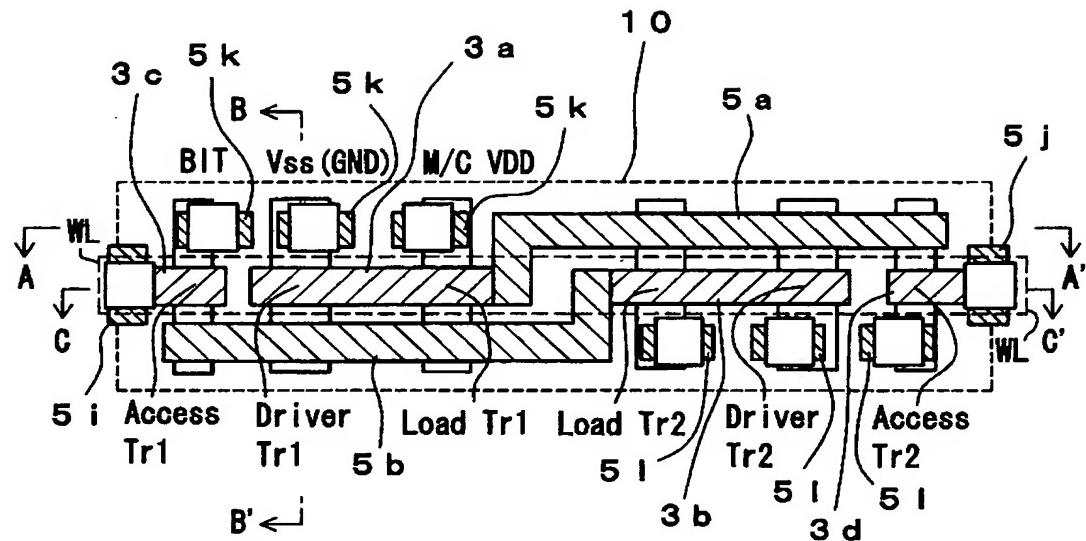
【符号の説明】

- 1 半導体基板、2 素子分離酸化膜、3 a、3 b、3 c、3 d、3 e、3 f、3 g、3 h、3 e、3 f、3 g、3 h、3 i、3 j、3 k、3 l、3 m、3 n、3 o、3 p ポリシリコン配線層（ゲート電極配線層）、4 サイドウォール、5 a、5 b、5 c、5 d、5 e、5 f、5 g、5 h、5 i、5 j、5 k、5 l タングステン配線層（LIC配線層）、6 a、6 b、6 c、6 d 層間絶縁膜、7 スタックビアホール（タングステン埋め込み）、8 第1金属配線層（ワード）

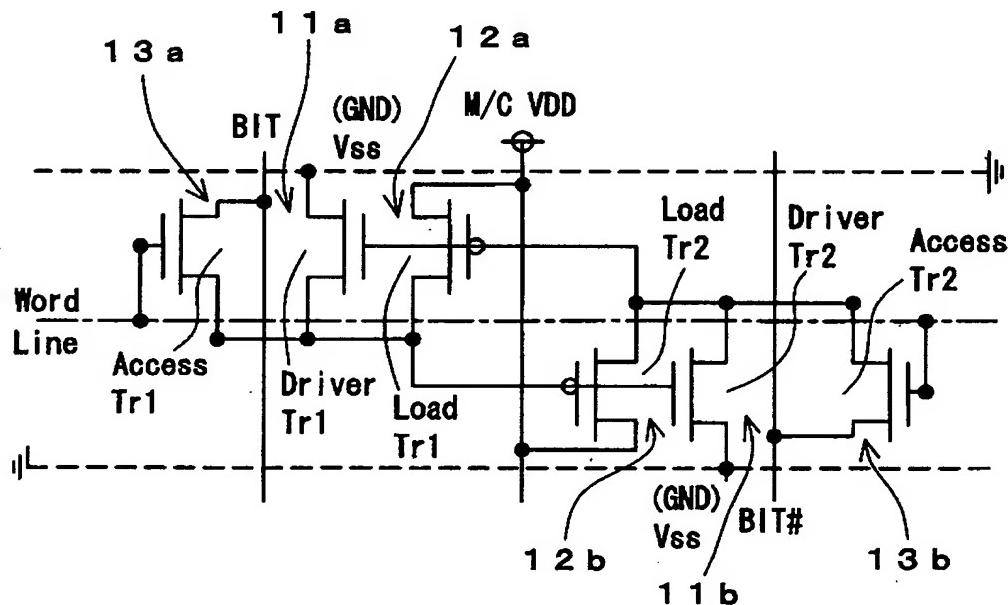
ド線)、9 第2金属配線層(VDD、ビット線)、10、10a、10b、10c、10d メモリセル、11a、11b ドライバトランジスタ、12a、12b ロードトランジスタ、13a、13b アクセストランジスタ、14 第1ピアホール、15 第3金属配線層(GND)、16 第2ピアホール

【書類名】 図面

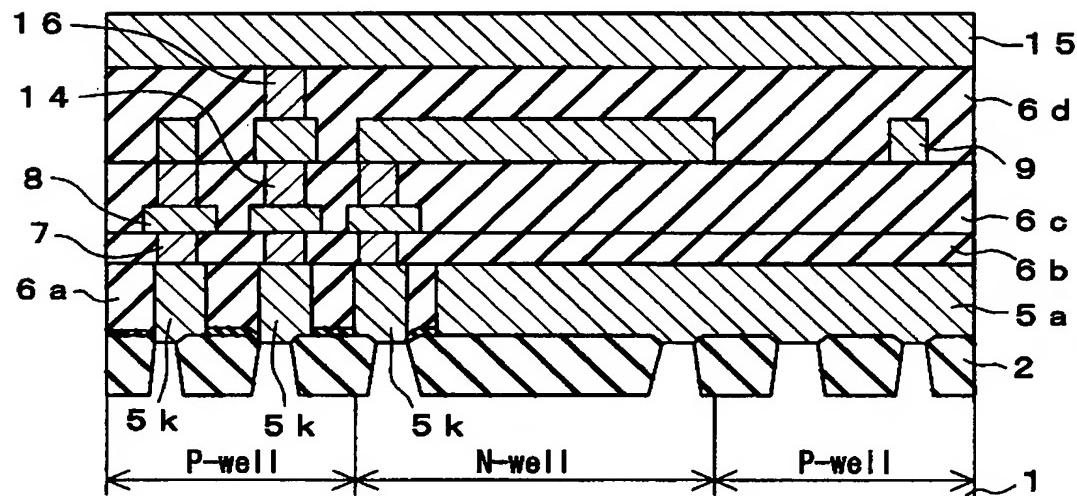
【図1】



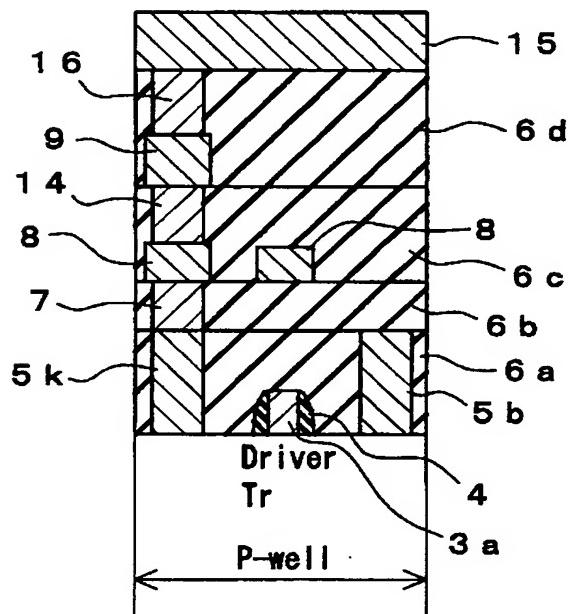
【図2】



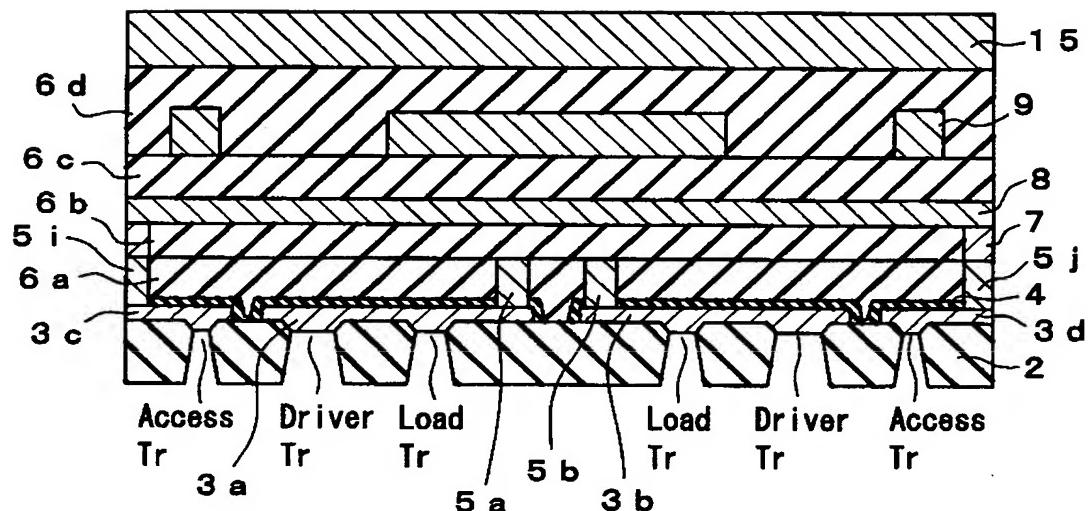
【図3】



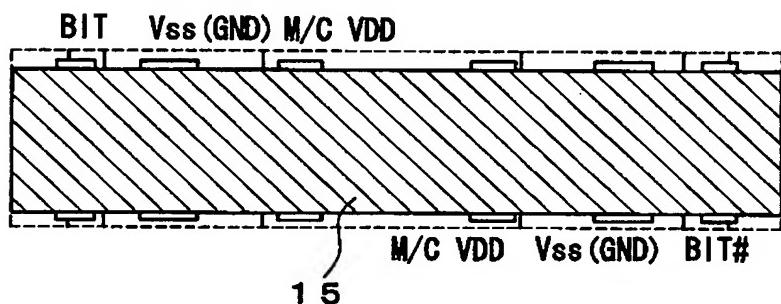
【図4】



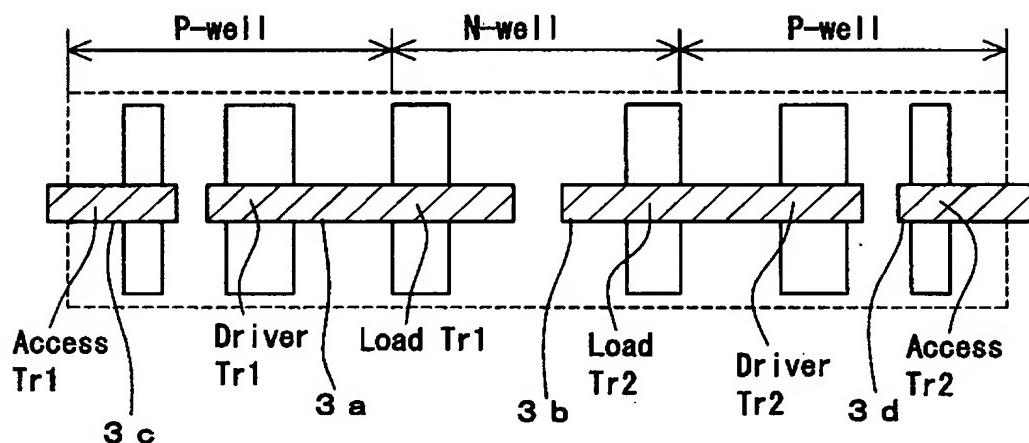
【図5】



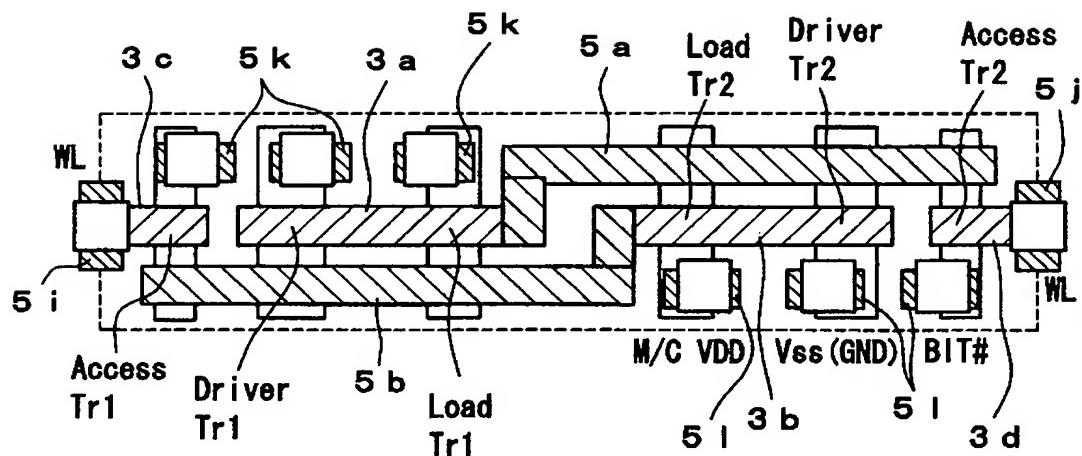
【図6】



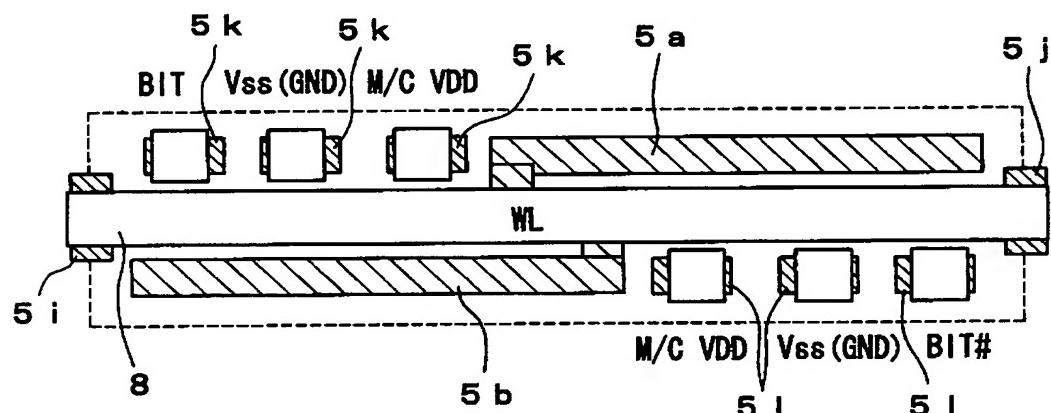
【図7】



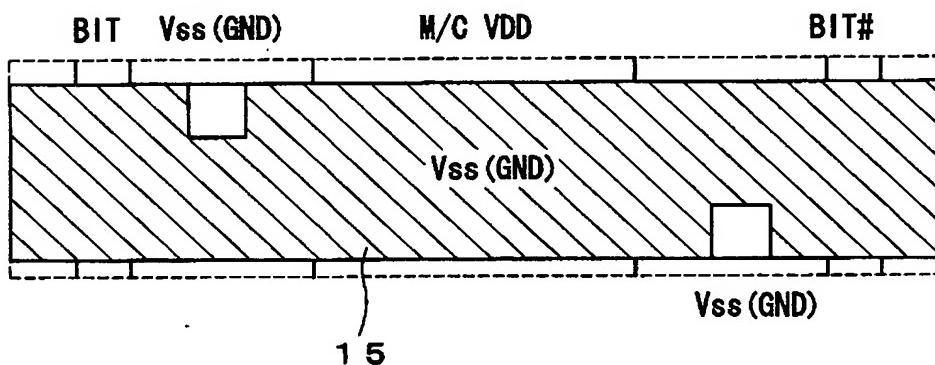
【図 8】



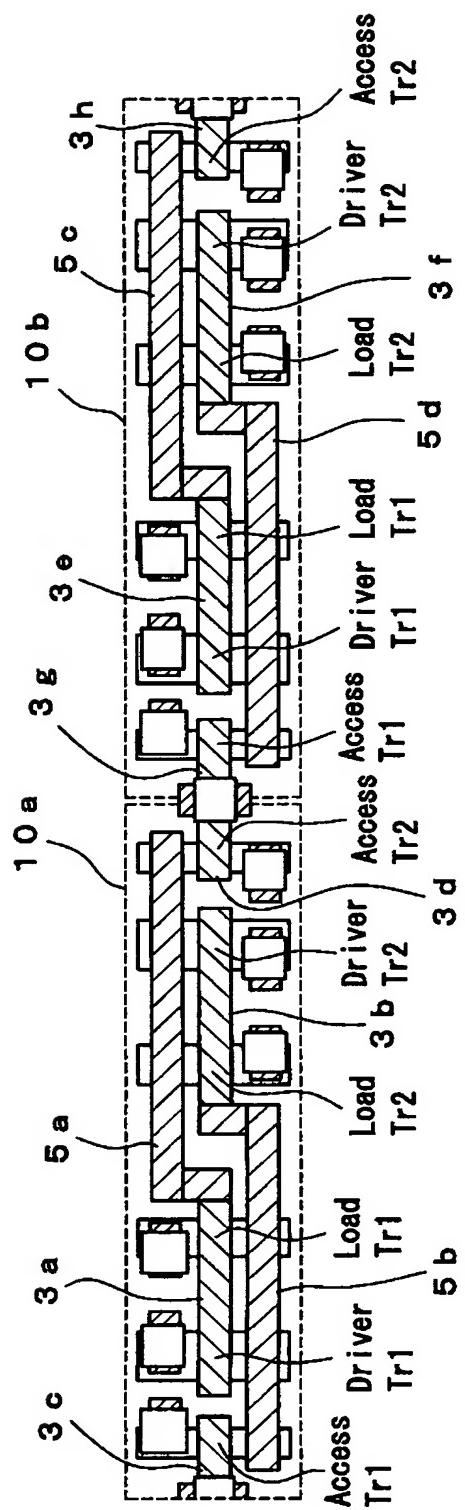
【図 9】



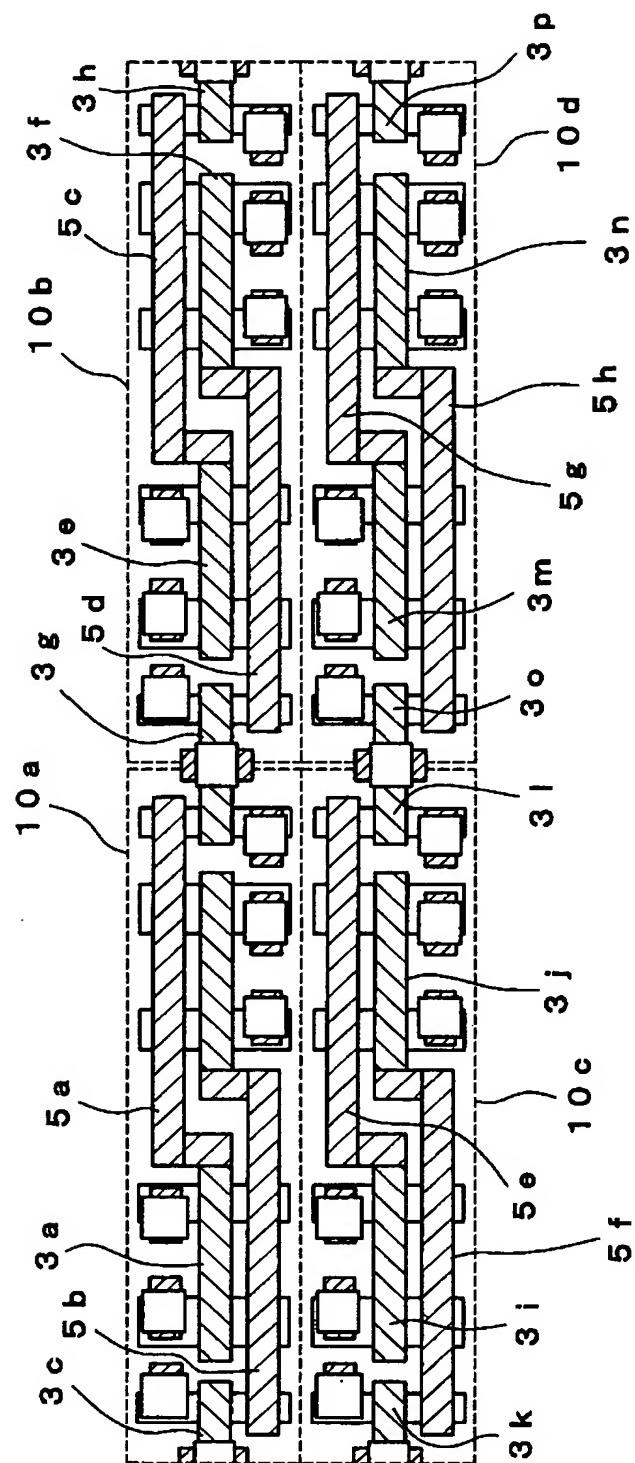
【図 10】



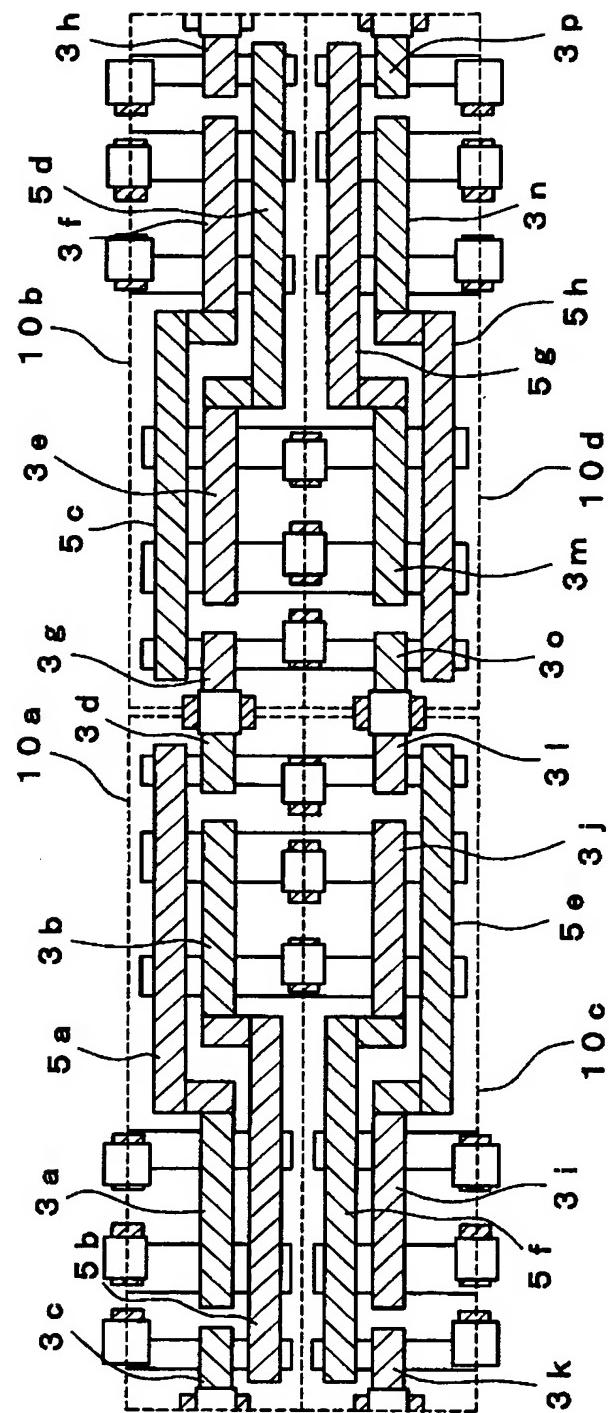
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 半導体記憶装置、特に、S R A Mのビット線での信号レベルの低下を抑制する。

【解決手段】 この半導体記憶装置は、6つのトランジスタ11a, 11b, 12a, 12b, 13a, 13bを備えたメモリセルが半導体基板上に2次元配列されたメモリセルアレーと、2次元配置された前記各メモリセルに接続され、第1方向に沿って互いに平行に配置された複数のワード線と、前記各メモリセルに接続され、前記第1方向と直交する第2方向に沿って互いに平行に配置された複数のビット線とを備え、一つのメモリセルの前記各トランジスタに接続されている全てのゲート電極配線3a, 3b, 3c, 3dは、前記第1方向に平行な同一の直線上に配列されていることを特徴とする。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社